



Soham Sanjay Dekhane

Weingarten, Germany

+4915213237134 · sohamdekhane@gmail.com

⇒ [Personal Website](#),
[LinkedIn](#)

Fähigkeiten

VHDL

Verilog

FPGA

Specman e

System Verilog

Ruby

Xilinx Vivado

Quartus

Modelsim

KiCad

Cadence Xcelium

C

LaTeX

MS Office

Sprachkenntnisse

Deutsch

English

Marathi

Hindi

Interessen

Formel 1, Reisen,
Fotographie, Badminton,
Lesen über neue und
kommende Technologien

Akademische Ausbildung

M.Eng. Electrical Engineering and Embedded Systems, Hochschule Ravensburg-Weingarten, Weingarten, Deutschland

September 2021 — Oktober 2023

B.Tech. Electronics and Telecommunication Engineering, Symbiosis International (Deemed) University, Pune, India

Juli 2017 — Mai 2021

Erfahrungen

Master's Thesis, Hochschule Ravensburg-Weingarten, Weingarten

April 2023 — Oktober 2023

- Erstellung eines Pseudo-Random-Number-Generators mit einem LFSR auf einem (MicroSemi) FPGA.
- Herstellung der Testbarkeit des Entwurfs (DFT - Design-for-Test). Integration eines JTAG-TAPCs auf dem Chip.
- Absicherung des Geräts gegen Threads von der Debug-Schnittstelle (DFS - Design- for-Security).
- Planung und Spezifikation des Entwurfs unter Berücksichtigung von DFT (bereits Stand der Technik), DFD (ebenfalls Stand der Technik) und DFS (in der Forschung).
- Erstellung dieses Geräts und Einrichtung des reinen Funktionstests sowie des Scan-Tests auf dem EVA100.

Werkstudent, Infineon Technologies AG, München

Oktober 2022 — März 2023

- Implementierung des Testcases zur Überprüfung der Register-Resets auf der SRAM Support Hardware mit Specman e.
- Implementierung des Testcase für ein Registerfeld und automatische Generierung des Testcases für mehr als 40 weitere Registerfelder mithilfe der Register-XML-Datei und Ruby.
- Implementierung des Coverage szenarios für den Testcase und Durchführung eines Regressionslaufs.

Intern – Hardware Design, BitMapper Integration Technologies Pvt. Ltd., Pune

Januar 2020 — Juni 2020 & Juli 2021 — August 2021

- Entwickelte FPGA-basierte robuste Systeme für die indische Verteidigungs- und Raumfahrtindustrie in Bereichen wie Signalverarbeitung und Bildverarbeitung.
- Arbeitete in Bereichen wie Analyse, Design, Verifizierung, Projekttests, Qualitätssicherung und Fehlerkorrekturen.
- Arbeitete mit Xilinx FPGAs und SoCs der 7er-Serie.
- Schematischer Entwurf und Verifizierung.

Research Assistant, Hochschule Ravensburg-Weingarten, Weingarten

April 2022 — August 2023

- Arbeit an dem Advantest EVA-100 SoC Testkit.
- Vorbereitung der Dokumentation für das Testen von analogen und digitalen Schaltungen mit dem Testkit.
- Unterstützung von Studenten bei der Erstellung ihrer Bachelorarbeit mit dem EVA-100 Kit.

Projekte

8-bit MCU VHDL implementation

- Erstellung von Entity-Deklarationen für alle Module der MCU, die vom Professor bereitgestellt werden.
- Verknüpfen verschiedener Module, um den Entwurf für CPU und Speicher zu realisieren.
- Verknüpfung aller Module miteinander, um das Top-Level-Modul für die 8-Bit MCU zu realisieren.

Early Stage Brain Tumor Detection & Segmentation using Image Processing & Machine Learning

- Entwicklung eines SVM-basierten Modells mit MATLAB zur Erkennung von Hirntumoren auf MRT-Scans.
- Entwicklung eines Algorithmus zur Segmentierung von Hirntumoren.
- Kuratierte Daten in der BraTS 2018-Datenbank.
- Koordinierte mit dem Projektleiter und arbeitete an der Fehlerbehebung. Erreichte eine Testgenauigkeit von 87,88%.

Ich erkläre hiermit, dass die vorstehenden Angaben und Informationen nach bestem Wissen und Gewissen vollständig und wahrheitsgemäß sind.



Weingarten, 28. November 2023

Ort, Datum, Unterschrift